

CLIPPEDIMAGE= JP359188162A

PAT-NO: JP359188162A

DOCUMENT-IDENTIFIER: JP 59188162 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: October 25, 1984

INVENTOR-INFORMATION:

NAME

NOMURA, KOJI

ASSIGNEE-INFORMATION:

NAME

RICOH CO LTD

COUNTRY

N/A

APPL-NO: JP58226204

APPL-DATE: November 29, 1983

INT-CL (IPC): H01L027/08;H01L027/06

US-CL-CURRENT: 257/552

ABSTRACT:

PURPOSE: To reduce the number of masks and the number of the steps in a Bi-CMOS transistor by performing the isolation of bipolar transistor and the formation of the well of the CMOS transistor with one mask in one step.

CONSTITUTION: N<SP>+</SP> type buried layers 102, 103 are formed on a P type semiconductor substrate 100, and a P type semiconductor layer 104 is formed by an epitaxial growing method. A mask 71 is used, phosphorus ions are implanted, diffused, and N-well 105 of a bipolar element side and an N-well 106 of a CMOS side are formed. The well 106 is isolated by the layer 104. A P<SP>+</SP>

type semiconductor layer is formed, the base region 107 of the bipolar transistor, the source 108 and the drain 109 of a P-channel MOS transistor are formed. An N<SP>+</SP> type semiconductor layer is formed, and the emitter region 113 of the bipolar transistor and the source 114 and the drain 115 of N-channel MOS transistor are formed.

COPYRIGHT: (C)1984,JPO&Japio

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—188162

⑤ Int. Cl.³
H 01 L 27/08
27/06

識別記号

庁内整理番号
6655—5 F
6655—5 F

⑬ 公開 昭和59年(1984)10月25日

発明の数 1
審査請求 有

(全 5 頁)

⑭ 半導体集積回路装置

東京都大田区中馬込 1 丁目 3 番
6 号株式会社リコー内

⑯ 特 願 昭58—226204

⑰ 出 願 人 株式会社リコー

⑱ 出 願 昭55(1980)5月30日

東京都大田区中馬込 1 丁目 3 番
6 号

⑲ 特 願 昭55—73519の分割

⑳ 発 明 者 野村幸司

㉑ 代 理 人 弁理士 青山葆 外 2 名

明 細 部

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

(1) 一方のNウェル中にNPNバイポーラ素子を形成するとともに他方のNウェル中にCMOSのPチャンネルMOSFETを形成したことを特徴とするBiCMOS半導体集積回路装置。

3. 発明の詳細な説明

この発明は半導体集積回路装置に関し、特に同一基板上にバイポーラトランジスタと相補型電界効果トランジスタ(以下CMOSTランジスタという。)とを形成した、いわゆるBi-CMOSTランジスタに関する。

この種のBi-CMOSTランジスタの従来の製造方法は第1図(A)ないし(G)に示す通りである。

即ち

(A) P型シリコン基板10に第1のマスク11を用いてN⁺型埋込層12を拡散する。

(B) 基板10上にN型のエピタキシャル層13を成長させる。

(C) 開口20を有する第2のマスク21を用いてP型拡散を行ない、バイポーラ素子を分離するためのP⁺型の分離領域14を形成する。

(D) 次いで、開口30を有する第3のマスク31を用いてNチャンネルMOSTランジスタ用のP⁻ウェル15をP型拡散により形成する。このとき分離領域14のP⁺層も拡散が進み、基板10に到達し分離が完成する。

(E) 次いで第4のマスク41を用いてバイポーラ素子のベース領域16、CMOS素子のPチャンネルMOSTランジスタのソース・ドレイン領域17a、17b、NチャンネルMOSTランジスタのP⁺チャンネルストップ18等を形成するためのN⁺型拡散を行なう。

(F) その後第5のマスク51を用いてバイポーラ素子のエミッタ領域19、CMOS素子のNチャンネルMOSTランジスタのソース・ドレイン領域20a、20b、PチャンネルMOSTランジスタ

タのチャンネルストップ22を形成するためのN⁺型拡散を行なう。

(G)そしてCMOS素子の各MOSトランジスタのゲートとなる部分にゲート酸化膜を形成し、コンタクトホトリソン、Al配線等の工程を経てBi-CMOS構造が完成される。

上述のように従来の製造方法においては、バイポーラ素子用の分離領域を形成するための工程(第1図C)とウェルを形成するための工程(第1図D)とを必要としており、また上記各工程に別個のマスク21と31とを用意しなければならなかった。

さらに、Bi-CMOSトランジスタにおいては、寄生トランジスタのラッチアップを防止する必要があり、従来は、このラッチアップを防止するため寄生トランジスタのエミッタ、コレクタ、ベース各領域の濃度プロファイルを変化させるために、各寄生トランジスタのスケールレシオを決定しなければならぬ設計上の困難な問題を含んでいた。

この発明は上述の事情に鑑みてなされたもので、

上にたとえばボロンを用いて $5 \sim 10 \times 10^{14} / \text{cm}^2$ の不純物濃度で、P型半導体層104を膜厚 $6 \sim 10 \mu$ でエピタキシャル成長法により形成する。

(c) このP型半導体層104に第2のマスク71を用いて開口72, 73を介して、リンイオンを60 KeVで $4 \times 10^{12} / \text{cm}^2$ で注入し、さらにたとえば15時間拡散して、埋込層102, 103上にバイポーラ素子側のNウェル105, CMOS側のNウェル106を形成する。Nウェル105はバイポーラトランジスタのコレクタ領域となる。Nウェル105はエピタキシャル成長層であるP型半導体層104によって分離される。

(d) 次に第3のマスク81の開口82a, 82b, 82c, 82d, 82eを介して、ボロンを用いて不純物濃度 $5 \sim 8 \times 10^{14} / \text{cm}^2$ のP⁺型の半導体層を拡散により形成して、バイポーラ素子側のNウェル105にバイポーラトランジスタのベース領域107を形成するとともに、CMOSトランジスタ側のNウェル106にはPチャンネルMO

Bi-CMOSトランジスタにおいて、バイポーラトランジスタのは分離とCMOSトランジスタのウェルの形成とを1つのマスクによって1つの工程で行なうことにより、従来の製造方法に比してマスク数と工程数とを低減できるとともに寄生トランジスタによるラッチアップを効果的に防止できるBi-CMOSトランジスタを提供することを目的とするものである。

以下にこの発明の一実施例を図面とともに説明する。

第2図(a)ないし(f)は本発明の一実施例に係るBi-CMOSトランジスタの製造方法を工程順に示すものである。

(a) たとえば「100」方位で $10^{15} / \text{cm}^2$ の不純物濃度を有するP型半導体にてなる基体100にSiO₂膜にてなる第1のマスク61の開口62, 63を介してリンを選択拡散して、たとえば不純物濃度 $3 \times 10^{13} / \text{cm}^2$ のN⁺型埋込層102, 103を形成する。

(b) 次にマスク61を除去した後、基体100

Sトランジスタのソース108とドレイン109ならびにNウェル106に隣接したP型領域110には、この領域110の表面の導電型が反転するのを防止するチャンネルストップ111, 112を形成する。

(c) 次に第4のマスク91の開口92a, 92b, 92c, 92dを介して、リンを用いて不純物濃度 $10^{13} / \text{cm}^2$ のN⁺型半導体層を拡散により形成して、バイポーラトランジスタのエミッタ領域113を形成するとともに、P型領域110において、チャンネルストップ111, 112の内側にNチャンネルMOSトランジスタのソース114とドレイン115を形成する。またバイポーラ素子側のNウェル105には接線電極とのオーミックコンタクトを改修するためのN⁺領域116を形成する。

(f) その後公知の方法により、PMOSトランジスタ側のドレイン109とソース108に跨るゲートSiO₂層117を形成して、その上にゲート電極118を形成する一方、NMOSトランジ

スタ側のドレイン115とソース114とに跨るゲートSiO₂層119を形成して、その上にゲート電極120を形成する。

さらに各MOSトランジスタのソースとドレインならびにバイポーラトランジスタのコレクタ、ベース、エミッタに電極120ないし126を形成する。

上述のようにして、Nウェル105にてなるコレクタとベース107とエミッタ113とによってバイポーラトランジスタが構成され、またSiO₂層117をゲート絶縁膜、電極118をゲート電極とし、ソース108、ドレイン109とその間のN型領域をチャンネルとするPチャンネルMOSトランジスタおよびSiO₂層119をゲート絶縁膜、電極120をゲート電極とし、ソース114とドレイン115とその間のP型領域をチャンネルとするNチャンネルMOSトランジスタが構成される。またバイポーラトランジスタはエピタキシャル成長層であるP型半導体層104によって分離されている。

ることが出来る。

即ちこの発明のCMOSトランジスタにおいてはN-MOSのドレイン領域114とP型のエピタキシャル層104とN⁺埋込層103とで形成される第1の寄生トランジスタの断面図は第4図のようになり、そのベース領域はエピタキシャル層で形成されるために、この第1の寄生トランジスタのh_{fe}が小さくなり、またベース幅W_bも大きくなるのでさらにh_{fe}が小さくなり、ラッチアップの防止に効果的である。なお第3図の実施例のようにNMOS領域の下方にN⁺埋込層のない場合はベース幅はさらに大きくなる。

またPMOSのドレイン領域108とNウェル106とN⁺埋込層103とで形成される第2の寄生トランジスタの断面図は第5図のようになり、そのベース領域にN⁺層が入っているのでh_{fe}は小さくなり、ラッチアップが防止される。

4. 図面の簡単な説明

第1図(A)ないし(G)はBi-CMOSトランジスタの従来の製造方法の一例を工程順に示す断

面図、第2図(a)ないし(f)はこの発明に係るBi-CMOSトランジスタの製造方法の一実施例を工程順に示す断面図、第3図はこの発明の他の実施例を示す断面図、第4図と第5図はこの発明の実施例において形成される寄生トランジスタの構造の概略を示す断面図である。

以上の説明から判かるように、上述の実施例によればBi-CMOSトランジスタの製造方法において、バイポーラ素子の分離とCMOSトランジスタ用のウェルの形成とをただ1つのマスク(実施例では第2のマスク71)を用いた1つの工程(第2図e)によってなされる。これに対して従来の製造方法においてはバイポーラ素子の分離領域の形成とCMOSトランジスタのウェル形成は別個の工程で行なわれ、それぞれ別個のマスク(前述の例では第2のマスク21と第3のマスク31)が必要であった。

この比較から明らかなように、この発明によればBi-CMOSトランジスタの製造時に要するマスク数を従来の方法に比して少なくすることが出来、工程も簡単となり、安価にかつ容易にBi-CMOSトランジスタを製造出来る。

また、この発明によればCMOSトランジスタにおける、いわゆるラッチアップを有効に防止す

断面図、第2図(a)ないし(f)はこの発明に係るBi-CMOSトランジスタの製造方法の一実施例を工程順に示す断面図、第3図はこの発明の他の実施例を示す断面図、第4図と第5図はこの発明の実施例において形成される寄生トランジスタの構造の概略を示す断面図である。

61……第1のマスク

71……第2のマスク

81……第3のマスク

91……第4のマスク

100……基体

102, 103……埋込層

104……P型半導体層(エピタキシャル成長層)

105……バイポーラ素子側のNウェル

106……CMOS素子側のNウェル

107……ベース領域

108……ソース

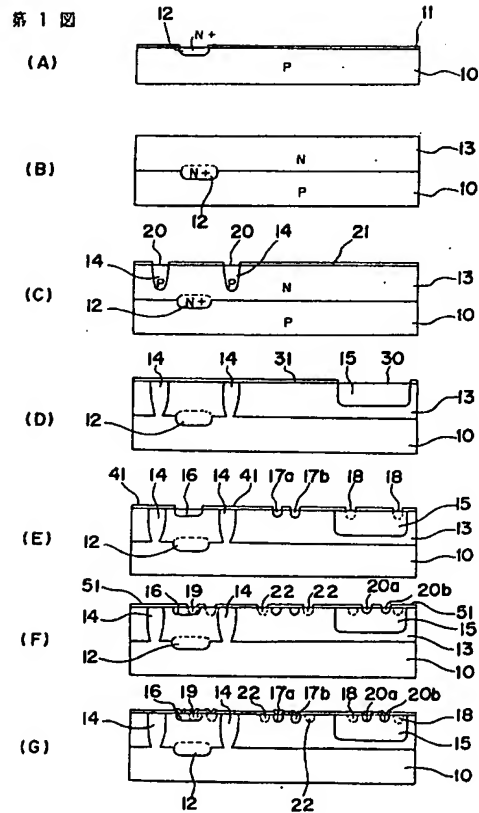
109……ドレイン

110……P型領域

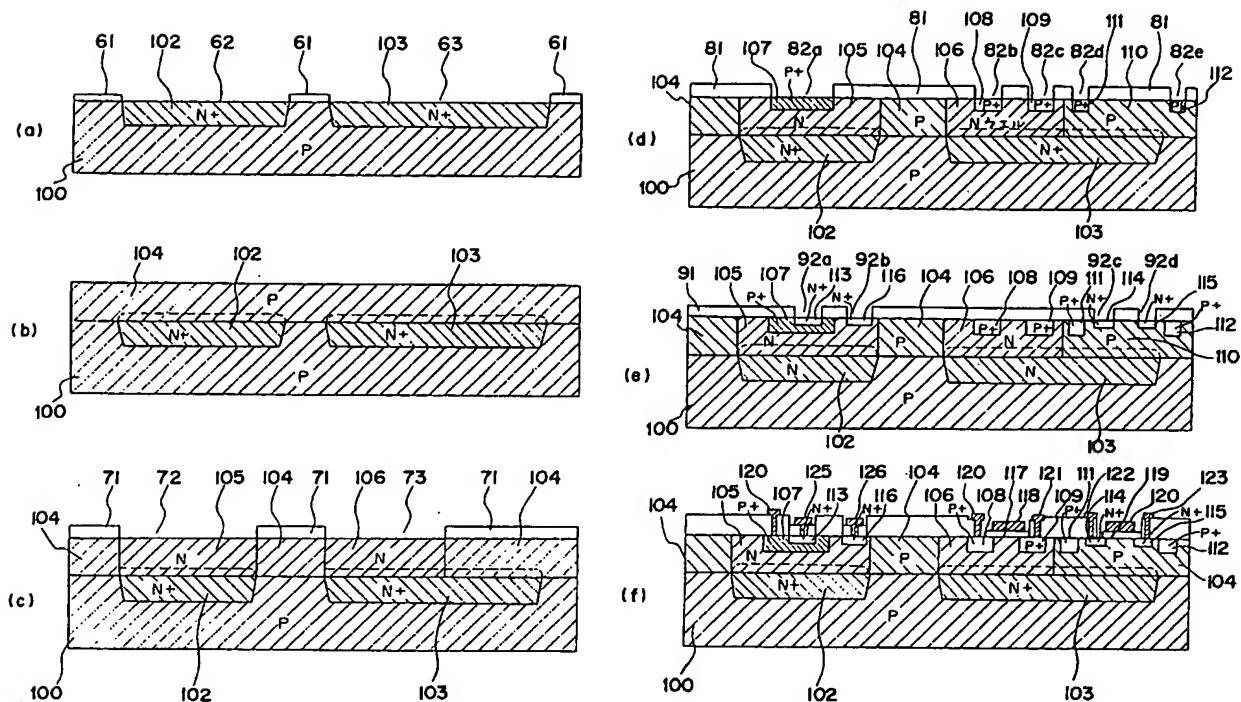
111, 112 ……チャンネルストップバ
 113 ……エミッタ領域
 114 ……ソース
 115 ……ドレイン
 116 ……N⁺領域
 117, 119 ……ゲートSiO₂層
 118, 120 ……ゲート電極。

特許出願人 株式会社 リコー

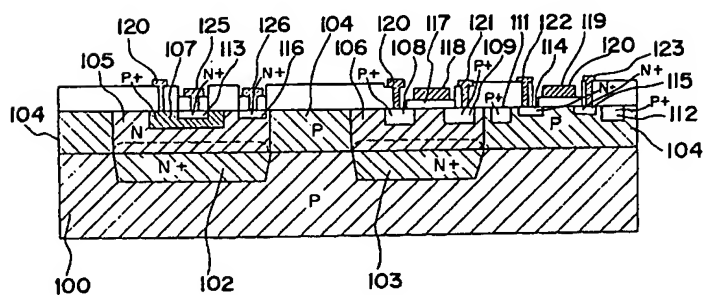
代理人 弁理士 青山 篠 ほか2名



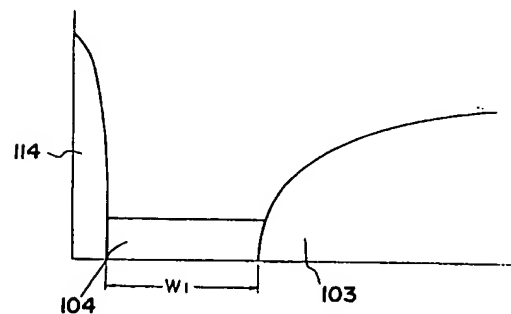
第 2 図



第 3 図



第 4 図



第 5 図

